

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84052

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 8 1
	29/792		21/76	L
	21/76		27/10	4 3 4
	27/115			

審査請求 未請求 請求項の数 6 ○ L (全 15 頁) 最終頁に続く

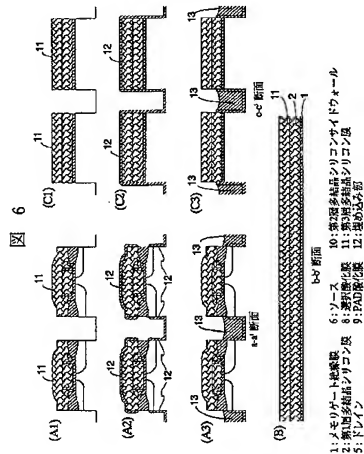
(21) 出願番号	特願平8-237806	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成 8 年 (1996) 9 月 9 日	(72) 発明者	岡崎 勉 東京都青海市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 AND型フラッシュメモリを高密度に形成できる構造とその製造方法を提供する。

【解決手段】 半導体基板上に、浮遊ゲート電極の下部浮遊ゲート電極である第1層多結晶シリコン膜2を形成し、第1層多結晶シリコン膜2をマスクとしてドレイン5およびソース6をイオン注入により形成した後、ドレイン5およびソース6の上層に選択熱酸化法により選択酸化膜8を形成する。その後、PAD酸化膜9、多結晶シリコンからなる第2層多結晶シリコンサイドウォール10、浮遊ゲート電極の上部浮遊ゲート電極である第3層多結晶シリコン膜11を形成し、第3層多結晶シリコン膜11、選択酸化膜8および半導体基板を同一のマスクでエッチングしてトレンチアイソレーションを形成し、シリコン酸化膜からなる埋め込み部13を形成して素子分離構造とする。



【特許請求の範囲】

【請求項1】 半導体基板の主面上に第1ゲート絶縁膜を介して形成された下部浮遊ゲート電極および上部浮遊ゲート電極を有する浮遊ゲート電極と、前記下部浮遊ゲート電極の側方に形成され、前記上部浮遊ゲート電極の下部に形成された選択酸化層と、前記第1ゲート絶縁膜の下部の前記半導体基板の主面に形成されたチャネル領域を挟んで形成され、前記選択酸化層の下部および前記第1ゲート絶縁膜の下部の一部に形成されたMISFETのソースまたはドレインとして機能する不純物半導体領域と、前記上部浮遊ゲート電極の上部に層間絶縁膜を介して形成された制御ゲート電極とを含む不揮発性メモリセルを有し、複数の前記不揮発性メモリセルが、互いに共用される前記不純物半導体領域により並列に接続されることによってAND形の不揮発性メモリセルブロックを構成し、前記制御ゲート電極が、複数の不揮発性メモリセルブロックに延在され、互いに異なる不揮発性メモリセルブロック内の不揮発性メモリセルに共有される半導体集積回路装置であって、前記不揮発性メモリセルブロックは、溝構造に埋め込まれた埋め込みシリコン酸化膜から構成される素子分離構造により電気的に絶縁されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記浮遊ゲート電極は、前記下部浮遊ゲート電極、前記上部浮遊ゲート電極、および前記下部浮遊ゲート電極と前記選択酸化層との間に形成された第1サイドウォールからなり、前記第1サイドウォールは、前記半導体基板の主面上に第2ゲート絶縁膜を介して形成された多結晶シリコンからなることを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置であって、前記不揮発性メモリセルへの情報の記録動作は、前記第2ゲート絶縁膜を通過するトンネル電流により行われるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の製造方法であって、前記不純物半導体領域上に選択酸化膜を形成した後に、前記選択酸化膜および前記不純物半導体領域の中央部に溝構造を加工して前記素子分離構造を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、前記溝構造の加工と同一の工程で、前記上部浮遊ゲート電極の前記不純物半導体領域に平行な方向の端辺を加工することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4または5記載の半導体集積回路装置の製造方法であって、

前記素子分離構造の形成と同時に、前記不揮発性メモリセルが配置されたメモリセル領域以外の周辺回路領域の素子分離構造を形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、AND型の一括消去型不揮発性半導体記憶装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】AND型一括消去型不揮発性半導体記憶装置(AND型フラッシュメモリ)は、たとえば、特開平7-176705号公報に記載されているように、複数の記憶MOSFETとスイッチMOSFETとから構成されるメモリセルブロックを有するものであり、このメモリセルブロック内では、各記憶MOSFETのソースは、埋め込み拡散層配線による副ビット線によって共有されスイッチMOSFETのソース・ドレインの一方に接続され、また、ドレインも埋め込み拡散層配線による副ビット線によって共有されスイッチMOSFETのソース・ドレインの一方に接続された構造となっている。つまり、この副ビット線に対しメモリセルが並列に接続されたAND形の電気的一括消去型EEPROMとなっている。

【0003】個々の記憶MOSFETは、半導体基板上のフィールド絶縁膜に囲まれた活性領域上に形成され、下部浮遊ゲート電極と上部浮遊ゲート電極とからなり、T字型の断面形状を有する浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、前記副ビット線であるソースおよびドレインとから構成されるものである。制御ゲート電極は、メモリセルのワード線として作用するものであり、副ビット線とは垂直の方向に延在され、異なるメモリセルブロックに共有されるものである。

【0004】下部浮遊ゲート電極と半導体基板との間には、メモリゲート絶縁膜が形成され、このメモリゲート絶縁膜と通過するトンネル電流によりメモリセルに情報の書き込みあるいは消去がなされる。

【0005】上部浮遊ゲート電極と、半導体基板の副ビット線との絶縁のために、下部浮遊ゲート電極の側面にシリコン酸化膜からなるサイドウォールと、サイドウォールおよびフィールド絶縁膜の間に選択酸化膜が形成されている。

【0006】

【発明が解決しようとする課題】しかし、上記したAND型フラッシュメモリの製造方法では、前記メモリセルブロック内の副ビット線と平行な方向の加工を行うために、少なくとも、3枚のマスクを用いた3回の光リソグラフィ工程を経る必要がある。すなわち、フィールド

3

酸化膜を形成するための工程と、1層目の浮遊ゲート電極である下部浮遊ゲート電極を加工するための工程と、2層目の浮遊ゲート電極である上部浮遊ゲート電極を加工するための工程との3工程である。

【0007】また、上記したAND型フラッシュメモリの製造方法では、埋め込み拡散層配線である副ビット線と上部浮遊ゲート電極とを絶縁するために、埋め込み拡散層配線上に選択酸化法による選択熱酸化膜を形成していることは上記の通りであるが、この際、フィールド酸化膜と下部浮遊ゲート電極とを形成するマスクの合せズレが不可避的に発生し、これに起因して埋め込み拡散層配線上の選択酸化膜の形成領域の広さが変化する。たとえば、その一方（たとえばソース領域）が広がると、他方（たとえばドレイン領域）が狭くなるというように変化する事となる。この結果、その形成領域が広い場合には厚い選択酸化膜が形成され、その形成領域が極度に狭い場合にはほとんど選択酸化膜が形成されないという状況が生じる。つまり、埋め込み拡散層配線上に形成される選択酸化膜の膜厚にばらつきが生じることとなる。

【0008】この埋め込み拡散層配線上の選択酸化膜厚のばらつきが大きくなると、メモリセルの加工マージンが減少するという問題とメモリセルのデバイス特性のばらつきが大きくなるという問題が発生する。

【0009】上記問題を回避するために、フィールド酸化膜と下層浮遊ゲート電極との合せズレに対するマージンを確保しようとすると、メモリセルの面積を縮小することが困難となる。

【0010】また、上記したAND型フラッシュメモリの製造方法では、下層浮遊ゲート電極の側壁にシリコン酸化膜からなるサイドウォールを形成しているが、このサイドウォールにシリコン酸化膜を用いると、選択酸化膜を形成する際の熱処理により下層浮遊ゲート電極下部のメモリゲート絶縁膜にバズビーグが成長し、メモリゲート絶縁膜の膜厚を増加させるといふ不具合が発生する。この対策として、サイドウォールをシリコン窒化膜により形成することが検討されている。

【0011】上記のシリコン窒化膜サイドウォールを用いた製造方法では、サイドウォール部の付け戻しとしてCVD-酸化膜を形成する工程が考えられるが、CVD-酸化膜によるサイドウォール形成時のドライエッチング時に、CVD-酸化膜の下層材料である選択酸化膜と同材料であるため、ドライエッチマージンが制限されるという問題がある。

【0012】また、上記したAND型フラッシュメモリでは、情報の書き込み動作を下層浮遊ゲート電極のエッジ部分で行うこととなり、このような場合には、そのエッジ部分の下部の不純物活性領域には十分な濃度の不純物が導入されていないと、電流な書き込み動作を行うことができない。しかし、不純物半導体領域の不純物濃度

4

を高くすると、チャネル間のショートあるいはパンチスルーの問題が発生し、ある程度以上の不純物濃度とすることができない。

【0013】本発明の目的は、メモリセルブロック内の副ビット線と平行な方向の加工を行うためのマスクを減少し、半導体集積回路装置の製造工程を簡略化することにある。

【0014】本発明の他の目的は、埋め込み拡散層配線上に形成される選択酸化膜の膜厚を均一化することができる半導体集積回路装置の構造と、その製造方法を提供することにある。

【0015】本発明の他の目的は、メモリセルのデバイス特性を安定化し、高集積化にも対応することができる技術を提供することにある。

【0016】本発明の他の目的は、シリコン酸化膜サイドウォール形成の際の選択酸化膜に対するエッチマージンの減少に起因するデバイス特性の劣化を回避することができる技術を提供することにある。

【0017】本発明の他の目的は、パンチスルーあるいはチャネル間ショートに対するマージンが確保でき、かつ、情報の書き込み動作を確実に行うことができる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】(1) 本発明の半導体集積回路装置は、半導体基板の主面上に第1ゲート絶縁膜を介して形成された下部浮遊ゲート電極および上部浮遊ゲート電極を有する浮遊ゲート電極と、下部浮遊ゲート電極の側方に形成され、上部浮遊ゲート電極の下部に形成された選択酸化層と、第1ゲート絶縁膜の下部の半導体基板の主面に形成されたチャネル領域を挟んで形成され、選択酸化層の下部および第1ゲート絶縁膜の下部の一部に形成されたMISFETのソースまたはドレインとして機能する不純物半導体領域と、上部浮遊ゲート電極の上部に層間絶縁膜を介して形成された制御ゲート電極とを含む不揮発性メモリセルを有し、複数の不揮発性メモリセルが、互いに共用される不純物半導体領域により並列に接続されることによってAND形の不揮発性メモリセルブロックを構成し、制御ゲート電極が、複数の不揮発性メモリセルブロックに延在され、互いに異なる不揮発性メモリセルブロック内の不揮発性メモリセルに共有される半導体集積回路装置であって、不揮発性メモリセルブロックは、溝構造に埋め込まれた埋め込みシリコン酸化膜から構成される素子分離構造により電気的に絶縁されているものである。

5

【0021】このような半導体集積回路装置によれば、不揮発性メモリセルブロックは、溝構造に埋め込まれた埋め込みシリコン酸化膜から構成される素子分離構造により電気的に絶縁されているため、フィールド絶縁膜を形成する必要がなく、したがって、フィールド絶縁膜と選択酸化膜との境界領域が形成されることもない。この結果、そのような境界領域で発生する可能性の高かった絶縁膜厚の減少によるデバイス不良を回避することができる。

【0022】また、本発明の半導体集積回路装置では、上記の通り、フィールド絶縁膜と選択酸化膜との境界領域が形成されないで、下部浮遊ゲート電極のサイドウォールとしてシリコン窒化膜を採用することができ、この結果、シリコン酸化膜サイドウォールを採用した際のパズビークの形成を防止し、メモリセルのデバイス特性を向上することができる。

【0023】(2) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、浮遊ゲート電極は、下部浮遊ゲート電極、上部浮遊ゲート電極、および下部浮遊ゲート電極と選択酸化層との間に形成された第1サイドウォールからなり、第1サイドウォールは、半導体基板の主面上に第2ゲート絶縁膜を介して形成された多結晶シリコンからなるものである。

【0024】このような半導体集積回路装置によれば、浮遊ゲート電極を、下部浮遊ゲート電極、上部浮遊ゲート電極、および下部浮遊ゲート電極と選択酸化層との間に形成された第1サイドウォールから構成し、かつ、第1サイドウォールを半導体基板の主面上の第2ゲート絶縁膜上に形成した多結晶シリコンとするため、第1サイドウォールを形成するためのドライエッチマージンを向上することができる。

【0025】すなわち、従来プロセスにおいて採用していた下部浮遊ゲート電極のシリコン酸化膜サイドウォールをシリコン窒化膜サイドウォールに変更し、このシリコン窒化膜サイドウォールを除去した後の付け戻しサイドウォールとして、CVD法によるシリコン酸化膜ではなく、多結晶シリコン膜を採用するものである。多結晶シリコン膜を採用することにより、サイドウォール形成時のドライエッチング時に、その下地である選択酸化膜とのエッチング選択比を確保することができ、ドライエッチマージンをとることができる。

【0026】なお、多結晶シリコンサイドウォールの下部に形成される第2ゲート絶縁膜は半導体基板と浮遊ゲート電極との絶縁を確保するためであることはいうまでもない。

【0027】(3) 本発明の半導体集積回路装置は、前記(2)記載の半導体集積回路装置であって、不揮発性メモリセルへの情報の記録動作は、第2ゲート絶縁膜を通過するトンネル電流により行われるものである。

10

【0028】このような半導体集積回路装置によれば、不揮発性メモリセルへの情報の記録動作を、第2ゲート絶縁膜を通過するトンネル電流により行うため、情報の記録を確実に、かつパワンスルーあるいはチャネル間ショートの問題に対処することができる。

【0029】すなわち、第2ゲート絶縁膜の全域は、不純物半導体領域の上部に形成されているため、その下部の不純物半導体領域の不純物濃度を必要以上に高めて第1ゲート絶縁膜の下部にまで不純物半導体領域を拡散させる必要がない。したがって、不純物半導体領域の不純物濃度をパワンスルーを防止するに有効な濃度までに減少させることができ、また、チャネル領域は、第2ゲート絶縁膜に挟まれた第1ゲート絶縁膜の下部に十分なゲート長で確保されるため、チャネル間ショートが発生することもない。

【0030】(4) 本発明の半導体集積回路装置は、前記(1)、(2)、または(3)記載の半導体集積回路装置の製造方法であって、不純物半導体領域上に選択酸化膜を形成した後に、選択酸化膜および不純物半導体領域の中央部に溝構造を加工して素子分離構造を形成するものである。

【0031】このような半導体集積回路装置の製造方法によれば、不純物半導体領域上に選択酸化膜を形成した後に、選択酸化膜および不純物半導体領域の中央部に溝構造を加工して素子分離構造を形成するため、下部浮遊ゲート電極を形成するためのマスクと素子分離構造を形成するためのマスクとのずれの有無にかかわらず、選択酸化膜の膜厚を均一とすることができる。

【0032】すなわち、従来の製造方法では、下部浮遊ゲート電極のマスクとフィールド絶縁膜のマスクとの合わせずれに起因して、選択酸化膜の膜厚に相違が生じていたことは、前記したとおりであるが、本発明の製造方法では、素子分離構造を形成する前に、選択酸化層を形成するため、前記マスクずれの発生は、選択酸化層に形成される溝構造の位置のずれを生ずるに過ぎず、選択酸化層の膜厚の相違は発生し得ない。

【0033】選択酸化膜の膜厚を均一とすることができる結果、メモリセルの加工マージンの確保およびメモリセルのデバイス特性のばらつきを縮小することができる。また、下部浮遊ゲート電極と素子分離構造とのマスク合わせマージンの確保が必要でないため、メモリセルの縮小を図ることが可能となる。

【0034】なお、選択酸化層は、その工程前に形成された下部浮遊ゲート電極のサイドウォール間に形成されることとなるが、下部浮遊ゲート電極は、一枚のマスクにより形成され、また、サイドウォールの形成にはマスクは用いられないため、各下部浮遊ゲート電極のサイドウォール間の間隔は均一であり、そこに形成される選択酸化膜の膜厚は均一となる。

【0035】(5) 本発明の半導体集積回路装置は、前

50

記(4)記載の半導体集積回路装置の製造方法であって、溝構造の加工と同一の工程で、上部浮遊ゲート電極の不純物半導体領域に平行な方向の端辺を加工するものである。

【0036】このような半導体集積回路装置の製造方法によれば、溝構造の加工と同一の工程で、上部浮遊ゲート電極の不純物半導体領域に平行な方向の端辺を加工するため、従来プロセスに比較してマスクを1枚減少させることができる。すなわち、従来別工程により形成していた素子分離構造と上部浮遊ゲート電極とを同一工程により加工し、マスクを共通化して、減少させるものである。これにより、半導体集積回路装置の製造工程を簡略化し、製造コストの低減および、歩留まり向上と、信頼性の向上を図ることができる。

【0037】(6)本発明の半導体集積回路装置は、前記(4)または(5)記載の半導体集積回路装置の製造方法であって、素子分離構造の形成と同時に、不揮発性メモリセルが配置されたメモリセル領域以外の周辺回路領域の素子分離構造を形成するものである。

【0038】このような半導体集積回路装置の製造方法によれば、素子分離構造の形成と同時に、不揮発性メモリセルが配置されたメモリセル領域以外の周辺回路領域の素子分離構造を形成するため、工程をさらに簡略化し、製造コストの低減および、歩留まり向上と、信頼性の向上を図ることができる。

【0039】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0040】図1～図14には、本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図および断面図である。

【0041】図1～図14において、断面図は、パターン上面図のa-a'に対応したワード線方向のものが(A)として、パターン上面図のb-b'に対応したデータ線方向のものが(B)として、パターン上面図のc-c'に対応したデータ線方向のものが(C)として、パターン上面図のd-d'に対応したワード線方向のものが(D)として示されている。また、図1～図14において、図面を見易くする為に、各国の工程において形成された主要な部分について記号が付され、既に説明したものの記号が省略されている。

【0042】半導体基板上にメモリゲート絶縁膜1、第1層多結晶シリコン膜2、シリコン窒化膜3の順に堆積され、図1のパターン上面図に示すように、パターンニングされている。図1には、パターン最表面のシリコン窒化膜3が示されている。

【0043】図1のパターンは、図1の左からメモリ領

域、残ゲート領域、選択MOS領域、CONT領域に区分される。メモリ領域には、メモリセルである記憶MOSFETが形成される。残ゲート領域には、残ゲートが形成され、残ゲートは後に説明されるように、メモリ領域に形成されるメモリセルの制御ゲート電極と選択MOS領域に形成される選択MOSFETのゲート電極とを同一の薄膜により形成する関係上、ゲート電極エッチング時の緩衝用に設けられるものである。選択MOS領域には、メモリ領域に形成される記憶MOSFETの一群であるメモリブロックの副ビット線が一方のソース・ドレイン領域に接続され、その副ビット線を選択する選択MOSFETが形成される。CONT領域には、前記選択MOSFETの他方のソース・ドレイン領域に接続される金属ビット線を接続するための接続孔を開く領域である。

【0044】このメモリゲート絶縁膜1の膜厚は、7～10nmのようにトンネル電流が流れるように薄く形成される。シリコン窒化膜3とその下の第1層多結晶シリコン膜2は、記憶MOSFETのドレイン、ソースを形成するようなパターンとされる。

【0045】図2の断面図(A1)に示すように、半導体基板上に、メモリゲート絶縁膜1、第1層多結晶シリコン膜2およびシリコン窒化膜3を順次堆積し、図1のパターン上面図に示すようなパターンで記憶MOSFETのドレイン、ソースとなる領域を開く。さらに、ライト酸化膜4を形成後にドレイン、ソース部分をそれぞれ別々にレジスト膜を用いて開口し、イオン打ち込みとアニールにより記憶MOSFETの共通化されたドレイン5とソース6を構成する拡散層を形成する。このとき、隣り合ったメモリセルブロックのドレイン、ソース拡散層は共通になっている。

【0046】メモリゲート絶縁膜1は、熱酸化法により、第1層多結晶シリコン膜2およびシリコン窒化膜3はCVD法により形成することができる。また、ドレイン、ソースとなる領域の開口は、公知のドライエッチング法を用いることができる。

【0047】なお、ドレイン、ソース部分をそれぞれ別々のレジスト膜を用いて形成するのは、ドレインとソースの不純物濃度を異ならせるためである。これにより、トンネル電流を流すに十分な不純物濃度とバンスルー対策に十分な不純物濃度とのバランスを保って、不純物濃度の最適化を図ることができる。

【0048】図2の断面図(A2)に示すように、CVD法によるシリコン窒化膜を形成後に全面エッチバックにより、第1層多結晶シリコン膜2の側面にサイドウォール7を形成する。

【0049】図2の断面図(A3)に示すように、熱酸化によってAsがドーパされているドレイン、ソース上に選択的に選択酸化膜8を形成する。このとき、サイドウォール7は第1層多結晶シリコン膜2の端部が酸化さ

れないようにストッパーの役割を果たし、第1層多結晶シリコン膜2の端部の下部にバースビークが形成されない。これにより、メモリゲート絶縁膜1の膜厚は、第1層多結晶シリコン膜2の全域で均一であり、メモリの性能を向上することができる。

【0050】以上の図2の断面図(A1)～(A3)の工程において、異なるメモリセルブロックの記憶MOSFETは、図2の断面図(A1)～(A3)のように、下部浮遊ゲート電極である第1層多結晶シリコン膜2が分離されているが、同一のメモリセルブロックの記憶MOSFETは、図2の断面図(B)のように、一体的に形成されたままである。また、図2の断面図(C)のように選択MOS領域およびCONT領域は、下部浮遊ゲート電極である第1層多結晶シリコン膜2が一体的に形成されたままである。

【0051】次に、図3のパターン上面図および図4の断面図(A1)、(B)、(C)に示すように、半導体基板を熱りん酸に浸すことにより、シリコン酸化膜3およびサイドウォール7が全面的に除去される。これにより、第1層多結晶シリコン膜2(下部浮遊ゲート電極)および選択酸化膜8が残ることとなる。

【0052】図4の断面図(A2)に示すように、CVD法によるシリコン酸化膜および第2層多結晶シリコン膜を形成後に全面エッチバックにより、第1層多結晶シリコン膜2の端部にPAD酸化膜9および第2層多結晶シリコンサイドウォール10を形成する。

【0053】ここで第2層多結晶シリコンサイドウォール10として、下地であるシリコン酸化物とは異なる材料である多結晶シリコンを用いることにより、エッチング選択比のとれるエッチング条件でエッチバックすることができ、サイドウォール形成時のエッチバックに加工マージンをとることができる。

【0054】図5のパターン上面図に示すように、第3層多結晶シリコン膜11およびトレンチアイソレーション(溝構造を有する素子分離領域)を形成する。この第3層多結晶シリコン膜11は上部浮遊ゲート電極を構成するものであり、選択酸化膜8上でエッチング除去され、メモリセルブロック間の浮遊ゲート電極の分離が行われる。さらに、この第3層多結晶シリコン膜11と同じパターンで、選択酸化膜8とドレイン5およびソース6と半導体基板とがエッチング除去され、メモリセルブロック間のトレンチアイソレーションが形成される。つまり、第3層多結晶シリコン膜11とトレンチアイソレーションとを同一マスクで形成することができ、従来プロセスよりもマスクを1枚減らすことができる。

【0055】図6の断面図(A1)に示すように、記憶MOSFETの浮遊ゲート電極は、前記第1層多結晶シリコン膜(下部浮遊ゲート電極)2と前記第2層多結晶シリコン膜(浮遊ゲート電極サイドウォール)10とそ

の間に形成された第3層多結晶シリコン膜11とから構成され、ドレイン5とソース6を覆うようなT字形態に形成される。

【0056】図6の断面図(C1)に示すように、選択MOS領域では、第1層多結晶シリコン膜2と第3層多結晶シリコン膜11とが、図5に示すパターンにエッチング除去され、さらに、基板が同じパターンにエッチング除去される。

【0057】図6の断面図(A2)および(C2)に示すように、トレンチアイソレーションの側壁部および底部にライト酸化12が形成される。

【0058】図6の断面図(A3)および(C3)に示すように、CVD法によるシリコン酸化膜を形成後に全面エッチバックにより、トレンチアイソレーションの埋め込み部13が形成される。

【0059】以上の図6の断面図(A1)～(A3)の工程において、異なるメモリセルブロックの記憶MOSFETは、同図のように、浮遊ゲート電極が分離されているが、同一メモリセルブロックの記憶MOSFETは、図6の断面図(B)のように、一体的に形成されたままである。また、図6の断面図(A1)～(A3)のように、トレンチアイソレーションにより、隣り合ったメモリセルブロックのドレイン、ソース拡散層は分離される。また、図6の断面図(C1)～(C3)のように、トレンチアイソレーションにより、隣り合ったメモリセルブロックの選択MOS領域は分離される。

【0060】次に、図7のパターン上面図に示すように、層間絶縁膜14が形成されて後に残ゲートとなる部分のほぼ中央を境にして選択MOSが形成される部分がエッチング除去される。

【0061】すなわち、図8の断面図(A)、(B1)、(C1)に示すように、上記第3層多結晶シリコン膜11上に層間絶縁膜14が形成される。上記層間絶縁膜14は、下から SiO_2 / Si_3N_4 / SiO_2 / Si_3N_4 からなる4層がCVD法により、それぞれ形成される。

【0062】図8の断面図(B2)、(C2)に示すように、上記後に残ゲートとなる部分のほぼ中央を境にしてメモリ部を覆うようにして選択MOSが形成される部分の層間絶縁膜14、第1層多結晶シリコン膜(下部浮遊ゲート電極)2と第3層多結晶シリコン膜(上部浮遊ゲート電極)11がエッチング除去される。その後、犠牲酸化膜を形成、除去後に選択MOSと周辺MOSのゲート絶縁膜15を形成する。このとき、メモリ部は層間絶縁膜14の最上部の Si_3N_4 がマスクの役割をするために上記の酸化、除去は行われない。

【0063】図9のパターン上面図に示すように、第4層ポリサイド膜16が形成される。すなわち、第4層ポリサイド膜16は、下から順にポリシリコン/WSi₂、MoSi₂等のポリサイド/CVD-SiO₂からなる。

11

【0064】図10の断面図(A),(B),(C)に示すように、第4層ポリサイド膜16は、ワード線と、選択MOSと、残ゲートと、図示しない周辺MOS部分を残してエッチング除去される。

【0065】図11のパターン上面図および図12の断面図(A),(B),(C)に示すように、上記残ゲートを境にしてメモリ部を除く選択MOS部と周辺MOS部をレジスト膜等により覆い、メモリ部と残ゲートのメモリ側端が第4層ポリサイド膜16のCVD-SiO₂をマスクとするセルフアライメントにより、層間絶縁膜14、第1層多結晶シリコン膜2と第2層多結晶シリコンサイドウォール10と第3層多結晶シリコン膜11がエッチング除去される。

【0066】図13のパターン上面図および図14の断面図(B1),(D1)に示す様に、メモリ部をレジスト膜等により覆い、選択MOS領域および周辺MOS領域においては、第4層ポリサイド膜16のCVD-SiO₂をマスクとするセルフアライメントにより、ソース、ドレインの開口を行ってソース、ドレイン拡散層17を形成する。このとき、図14の断面図(D1)に示すように、メモリ部の拡散層配線端と選択MOSFETの拡散層が重なるように形成される。また、選択MOS領域および周辺MOS領域のMOSFETのゲート電極にサイドウォール18を形成する。

【0067】さらに、図14の断面図(A),(B2),(C),(D2)に示す様に、半導体基板の全面に絶縁膜19を形成し、CONT領域に接続孔を開く。

【0068】接続孔の開口後の金属配線の形成は、公知のスパッタ法等を用いることができるので説明を省略する。

【0069】本実施の形態の製造方法によれば、以下のような効果を得ることができる。

【0070】(1)記憶MOSFETのドレイン5およびソース6の上部に形成される選択酸化膜8の酸化領域を下部浮遊ゲート電極である第1層多結晶シリコン膜2を加工するマスクプロセスのみで確定出来るため、上記選択酸化膜8の膜厚をばらつきなく形成し、記憶MOSFET特性のばらつきを低減し、加工マージンの確保が容易となる。

【0071】(2)記憶MOSFETのアイソレーションを上部浮遊ゲート電極である第3層多結晶シリコン膜11を加工するマスクプロセスと同時に形成出来るため、マスクプロセスの削減が可能となる。

【0072】(3)記憶MOSFETの第2層多結晶シリコンサイドウォール10をポリシリコンで形成することにより、サイドウォールプロセスのマージンを拡大できる。

【0073】また、本実施の形態の製造方法により製造されるAND型フラッシュメモリは、上記のとおり、トレンチアイソレーションによる素子分離構造を有するも

12

のである。このようなAND型フラッシュメモリによれば、トレンチアイソレーションによる素子分離構造を有するため、LCOOS酸化膜からなるフィールド絶縁膜を形成する必要がなく、メモリの信頼性を向上させることができる。

【0074】また、上記実施の形態において、メモリゲート絶縁膜1を13nm以上の膜厚とし、第2層多結晶シリコンサイドウォール10のPAD酸化膜9の膜厚を7~10nm程度に形成し、PAD酸化膜9を通してメモリの書き換えを行うことも可能である。このような場合には、PAD酸化膜9を介してトンネル電流を流すことができるため、情報の書き換えを確実にし、かつ、ドレイン5もしくはソース6の不純物濃度を必要最小限に抑えてパンチスルーに対するマージンを拡大することができる。

【0075】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0076】たとえば、本実施の形態では、ゲート配線材料として多結晶シリコンあるいはシリサイド膜、その間の層間絶縁膜材料およびトレンチアイソレーションの埋め込み絶縁膜材料としてシリコン酸化膜等の場合を例示したが、このような材料に限定されるわけではなく、導電性あるいは絶縁性が確保される材料であれば採用することができる。また、その形成方法は、公知の成膜法、エッチング法を単独であるいは組み合わせて用いることができる。

【0077】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0078】(1)メモリセルブロック内の副ビット線と平行な方向の加工を行うためのマスクを減少し、半導体集積回路装置の製造工程を簡略化することができる。

【0079】(2)埋め込み拡散層配線上に形成される選択酸化膜の膜厚を均一化することができ、メモリのデバイス特性を安定化し、高集積化にも対応することができる。

【0080】(3)シリコン酸化膜サイドウォール形成の際の選択酸化膜に対するエッチマージンの減少に起因するデバイス特性の劣化を回避することができる。

【0081】(4)パンチスルーあるいはチャネル間ショートに対するマージンが確保でき、かつ、情報の書き込み動作を確実にすることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

13

【図2】図1のa-a'、b-b'、c-c'に対応する断面図である。

【図3】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

【図4】図3のa-a'、b-b'、c-c'に対応する断面図である。

【図5】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

【図6】図5のa-a'、b-b'、c-c'に対応する断面図である。

【図7】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

【図8】図7のa-a'、b-b'、c-c'に対応する断面図である。

【図9】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

【図10】図9のa-a'、b-b'、c-c'に対応する断面図である。

【図11】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

【図12】図11のa-a'、b-b'、c-c'に対

14

応する断面図である。

【図13】本発明の一実施の形態であるAND型フラッシュメモリのメモリセル領域について製造工程順に示したパターン上面図である。

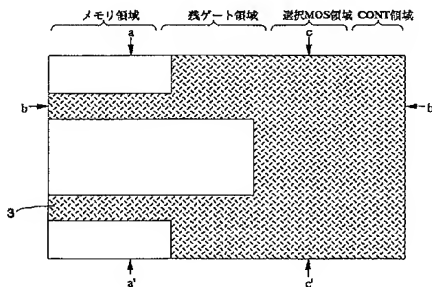
【図14】図13のa-a'、b-b'、c-c'、d-d'に対応する断面図である。

【符号の説明】

- 1 メモリゲート絶縁膜
- 2 第1層多結晶シリコン膜
- 10 3 シリコン窒化膜
- 4 ライト酸化膜
- 5 ドレイン
- 6 ソース
- 7 サイドウォール
- 8 選択酸化膜
- 9 PAD酸化膜
- 10 第2層多結晶シリコンサイドウォール
- 11 第3層多結晶シリコン膜
- 12 ライト酸化
- 20 13 埋め込み部
- 14 層間絶縁膜
- 15 ゲート絶縁膜
- 16 第4層ポリサイド膜
- 17 ドレイン拡散層
- 18 サイドウォール
- 19 絶縁膜

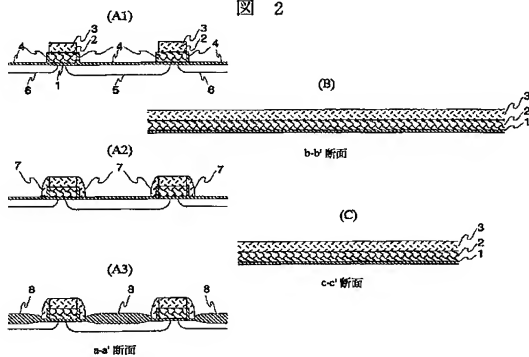
【図1】

図 1



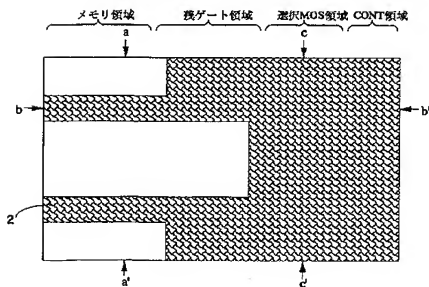
【図2】

図 2



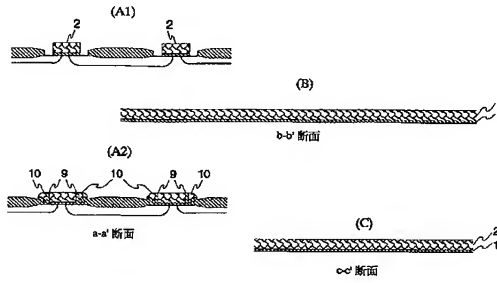
【図3】

図 3



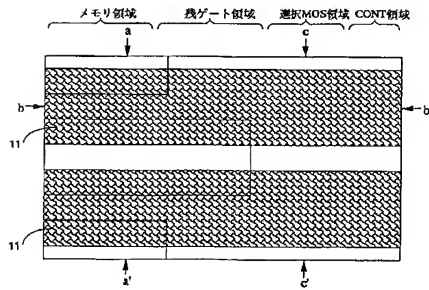
【図4】

図 4



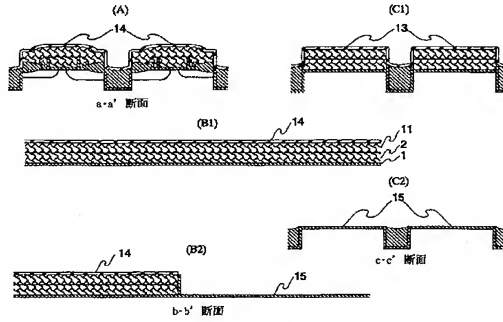
【図5】

図 5



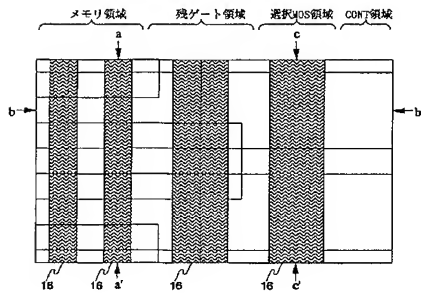
【図8】

図 8



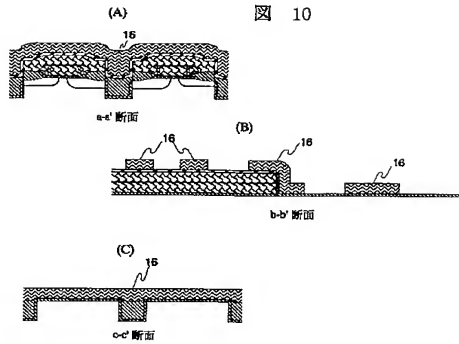
【図9】

図 9



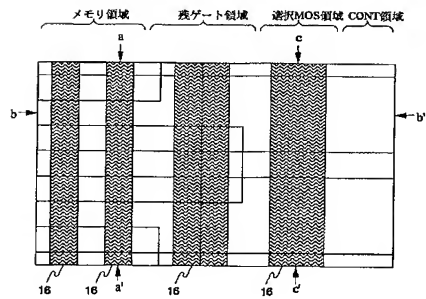
【図10】

図 10



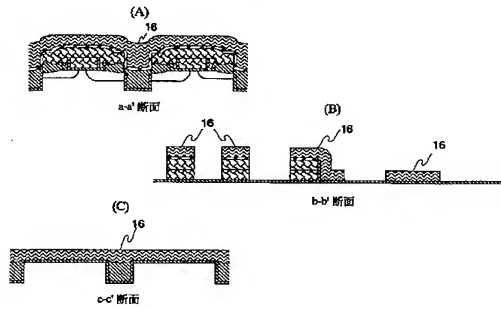
【図11】

図 11



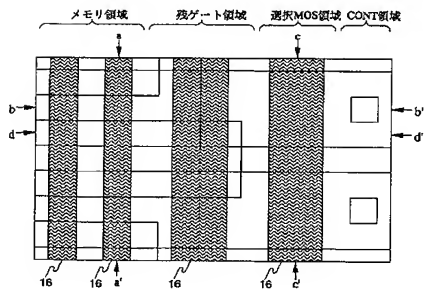
【図12】

図 12

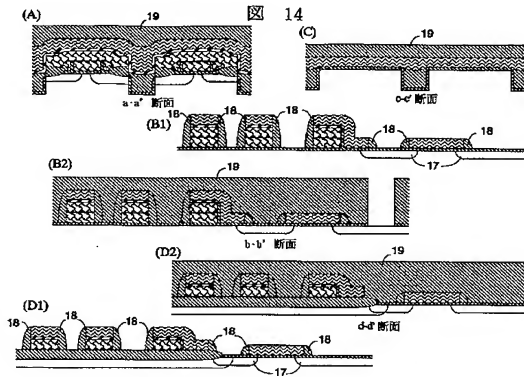


【図13】

図 13



【図14】



フロントページの続き

(51)Int. Cl.⁶
H01L 27/10

識別記号
481

庁内整理番号

F I

技術表示箇所